

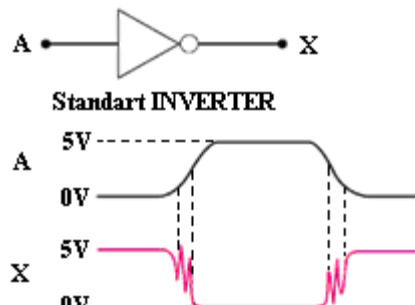


## SCHMITT TETİKLEME DEVRESİ

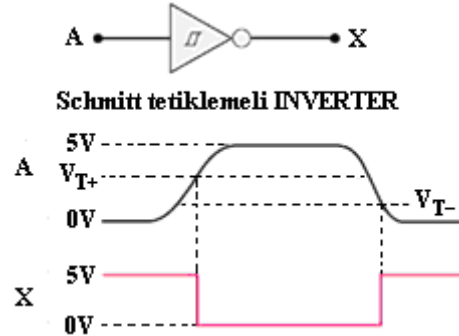
### 1. Giriş

Schmitt Tetikleme Devresi (STD) hem alçak seviyede hem de yüksek seviyede çıkış verebilen iki konumlu bir devredir. STD'nin en önemli uygulaması yavaş değişen bir işaretten hızlı değişen bir dalga şeklinin elde edilmesidir. Bu yol içinde STD ile sinüzoidal işaretten bir kare dalga üretilebilir. Devrenin diğer bir önemli özelliği ise gerilim geçiş eğrisinin, giriş işaretinin değişim yönüne bağlı olarak farklı konum değiştirme değerlerine sahip olmasıdır. Söz konusu olaya histerisiz, giriş geriliminin çıkışta konum değişikliğine neden olan iki değerinin farkına ise histerisiz gerilimi adı verilir. Bu nedenle STD bir seviye detektörü olarak kullanılabilir.

Schmitt devresinin işaret iyileştirme gibi çeşitli uygulama alanları vardır. Örneğin, standart bir inverter, yavaş değişen bir giriş işaretine karşılık salınımlı (dalgalı) bir çıkış verirken, Schmitt tetiklemede seviyeler arası geçişin hızlı ve net olduğu bir çıkış elde edilir. İki lojik seviye arasındaki geçişi uzun zaman alan bir giriş işareti için standart inverter'in davranışı Şekil 1'de gösterilmiştir. Şekil 2 ise aynı işarete Schmitt tetiklemeli inverter'in verdiği çıkışı gösterir ( $V_{T-}$  ve  $V_{T+}$ , STD'nin eşik değerleridir).



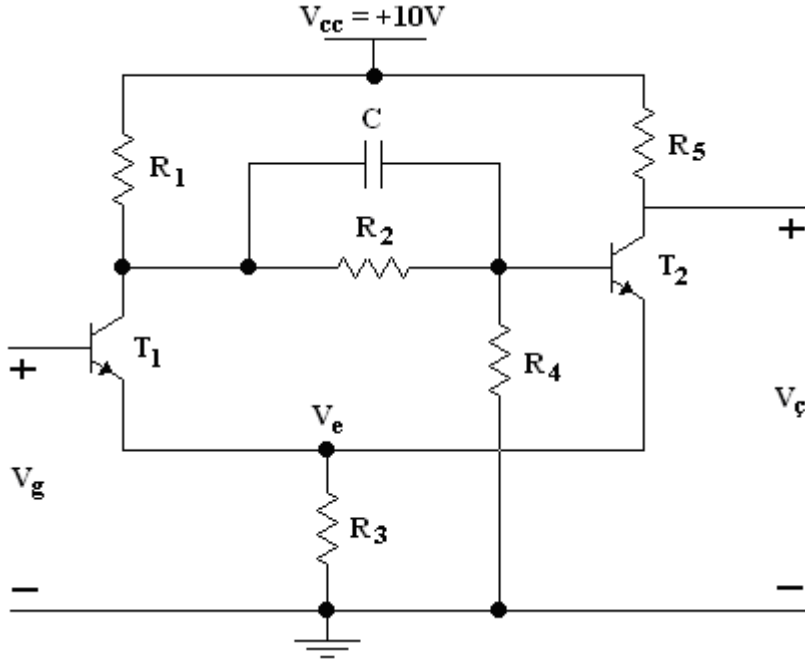
Şekil 1. Yavaş değişen bir kare dalga için standart inverter'in davranışı



Şekil 2. Yavaş değişen bir kare dalga için Schmitt tetiklemeli inverter'in davranışı

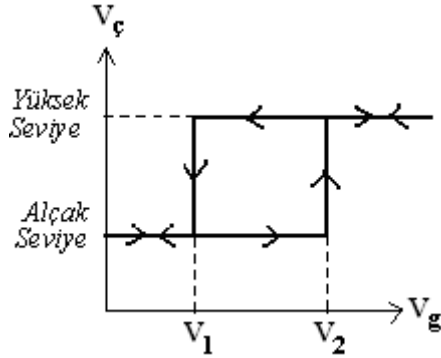
### 2. Transistörlü Schmitt Tetikleme Devresi

STD'ler hem transistör hem de işlemsel yükselteç ile gerçekleştirilebilmektedir. Şekil 3'de bir transistörle STD verilmiştir. Bu devreye aynı zamanda, pozitif geri besleme emetördeki  $R_3$  direncinden ( $V_e = V_{R3}$ ) dolayı meydana geldiği için emetör-bağlamalı ikili devre (emitter-coupled binary circuit) denir.

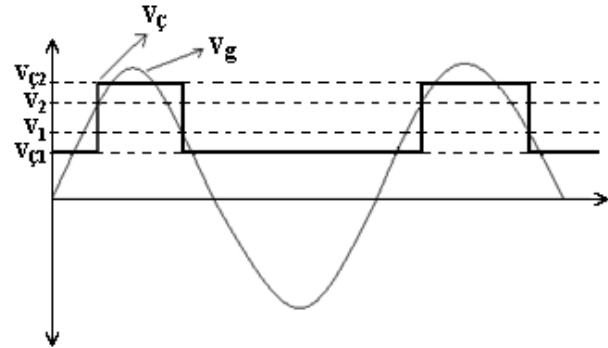


Şekil 3. Transistorlu STD

Şekil 4’de devrenin geçiş özeğrisi verilmiştir. Tetikleme noktaları arasında ( $V_2 - V_1$ ) gibi bir histerisiz gerilimi vardır. Böyle devrenin girişine sinüzoidal bir işaret uyguladığımızda çıkışta Şekil 5’teki gibi bir kare dalga elde edilir. Aşağıdaki anlatımlarda  $V_e$  gerilimi,  $T_1$  iletimde iken  $V_{e1}$  ve  $T_2$  iletimde iken  $V_{e2}$  ile temsil edilmiştir.



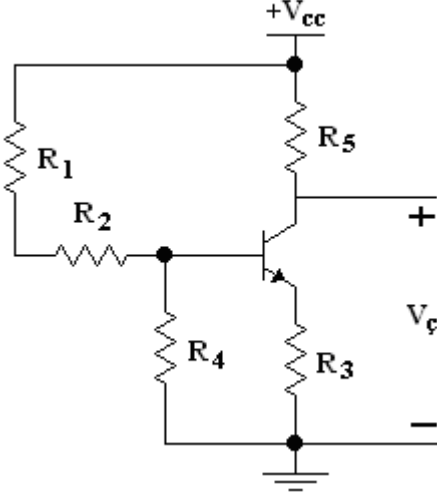
Şekil 4. Transistorlu STD özeğrisi



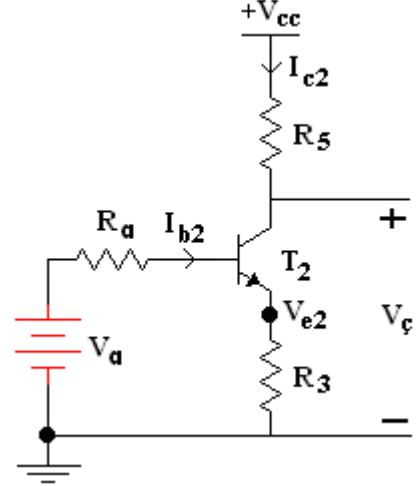
Şekil 5. STD’nin çıkışındaki işaret

Şekil 5’teki giriş ve çıkış işaretlerini inceleyelim.  $V_g \leq V_2$  olduğu sürece STD alçak seviyede kalır.  $V_g \geq V_2$  olduğunda çıkış gerilimi yüksek seviyeye ulaşır. Bir seviyeden diğer seviyeye geçiş (anahtarlama olayı) çok hızlıdır ve  $R_3$  direnci üzerinden gelen pozitif geri beslemeye bağlıdır. Bu iki tetikleme noktası genelde aynı değildir. Çıkış  $T_2$ ’nin kolektöründen alınır. Eğer  $T_2$  kesimde ise  $V_{ç} = V_{cc}$ , yani yüksek seviye olur.  $T_2$  iletimde ise  $V_{ç} = V_{ce2} + V_{e2}$ , yani alçak seviye olur. Çıkışın alçak veya yüksek olması  $T_2$ ’nin iletimde veya kesimde olması ile belirlenir.

Şekil 3'te  $V_g = 0$  olduğunu kabul edelim.  $T_1$ 'in bazı, toprak potansiyelindedir. Emetörü baza göre pozitif olduğundan  $T_1$  tıkalıdır.  $V_{CC}$ ,  $R_1$ ,  $R_2$  ve  $R_4$ 'den dolayı  $T_2$  iletimde, dolayısıyla  $V_{e2}$ 'de bir gerilim meydana gelmektedir. Bu durumda devrenin eşdeğeri Şekil 6'da görülmektedir.  $T_1$  kesimde olduğu için emetöründen hiç akım akmayacak ve  $R_3$  yalnız  $T_2$ 'nin emetöründe görülecektir. Thevenin eşdeğeri ile Şekil 6'daki devreyi daha da basitleştirerek Şekil 7'deki elde edebiliriz. Sürekli durumda  $C$  kondansatörü tamamen dolduğundan devre dışı bırakılabilir.



Şekil 6. T1 tıkalı ve T2 iletimde iken STD ( $V_g = 0$ )



Şekil 7. Şekil 6'daki devrenin Thevenin eşdeğeri

Burada, Thevenin elemanları  $R_a$  ve  $V_a$

$$R_a = \frac{(R_1 + R_2)R_4}{R_1 + R_2 + R_4}, \quad V_a = \frac{R_4}{R_1 + R_2 + R_4} V_{CC} \quad (1)$$

ifadeleri ile hesaplanır ve normal olarak  $T_2$  transistörünü aktif bölgede tutacak değerlerde olmaları gerekir.  $T_2$  aktif bölgede olduğu sürece baz akımı  $I_{b2}$

$$V_a = I_{b2}R_a + V_{be2} + V_{e2} \quad (V_{e2} = I_{e2}R_3) \quad (2)$$

eşitliğinden bulunabilir ( $V_{be2}$ ,  $T_2$  transistörünün eşik gerilimi olup 0.7 V değerine sahiptir).

$I_{e2}$  yerine

$$I_{e2} = I_{b2} + I_{c2} = (1 + h_{fe2})I_{b2} \quad (I_{c2} = h_{fe2}I_{b2}) \quad (3)$$

ifadesi kullanılırsa, (2) denklemini yardımıyla

$$I_{b2} = \frac{(V_a - V_{be2})}{R_a + (1 + h_{fe2})R_3} \quad (4)$$

olacaktır ( $h_{fe2}$ ,  $T_2$ 'nin akım kazancıdır ve 25 ile 1000 arasında bir değer alabilir). Çıkış gerilimi ise

$$V_{\zeta} = V_{\zeta1} = V_{CC} - I_{c2}R_5 = V_{CC} - \frac{h_{fe2}R_5(V_a - V_{be2})}{R_a + (1 + h_{fe2})R_3} \quad (5)$$

ile verilir.  $T_2$ 'nin baz akımı ( $I_{b2}$ ) kolektör akımına ( $I_{c2}$ ) göre çok küçük olduğundan ihmal edilirse, (1) ve (2) denklemlerinden

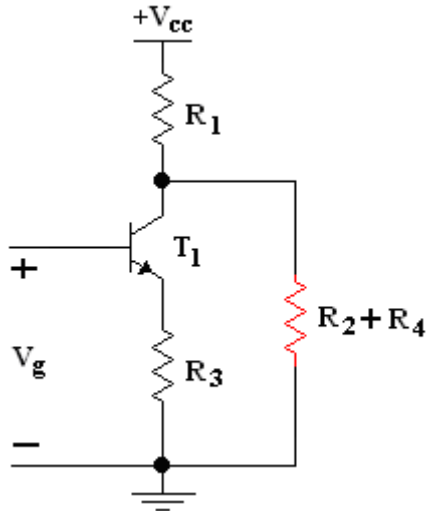
$$V_{e2} \cong V_a - V_{be2} = \frac{R_4}{R_1 + R_2 + R_4} V_{CC} - V_{be2} \quad (6)$$

ifadesine ulaşılır. Bununla  $T_1$ 'in iletme geçmesi için gereken en küçük gerilim (bu aynı zamanda konum değiştirme gerilimidir)  $V_2$ 'yi hesaplayabiliriz.

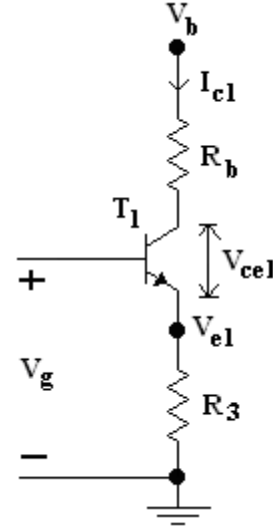
$$V_2 \cong V_{e2} + V_{be1} = \frac{R_4}{R_1 + R_2 + R_4} V_{CC} \quad (7)$$

Şekil 3'te  $V_g$ 'nin artmaya başladığını düşünelim.  $V_g > V_2$  olduğunda  $T_1$  iletme geçer.  $T_1$ 'in kolektör gerilimi  $V_{ce1}$  azalır.  $V_{ce1}$ 'deki azalma  $T_2$ 'nin  $V_{be2}$  gerilimini azaltır ve  $T_2$  daha az iletimde olur.  $T_2$ 'nin daha az iletimde olması  $I_{e2}$  akımını azaltır.  $T_1$ 'in iletme geçmesinden dolayı  $I_{e1}$  artar.  $I_{e1}$ 'deki artma  $I_{e2}$ 'deki azaldan daha azdır. Bundan dolayı  $R_3$ 'deki toplam akım ve  $V_e$  gerilimi de azalır.  $V_e$ 'nin azalması  $T_1$ 'in  $V_{be1}$  gerilimini daha da artıracak ve  $T_1$ 'den akan akımlar artacaktır. Şimdi  $T_1$  daha fazla iletimde olacak ve  $V_{ce1}$  gerilimi daha fazla azalacak,  $T_2$  de daha az iletimde olacaktır.  $V_e$  gerilimi de daha fazla azalacaktır. Bu işlem pozitif geribesleme (*regenerative*) işlemidir ve çok kısa zamanda meydana gelmektedir. Yani  $T_1$  çok hızlı doymaya ve  $T_2$  çok hızlı kesime girer.

$T_2$  kesimde iken  $R_2$  ve  $R_4$  elemanları birbirine seri gelmekte olup STD'nin eşdeğer devresi Şekil 8'de verilmiştir. Bu devrenin Thevenin eşdeğeri ise Şekil 9'da gösterilmiştir.



Şekil 8: T2 kesimde iken STD



Şekil 9: Şekil 8'in Thevenin eşdeğeri.

Burada, Thevenin elemanları  $R_b$  ve  $V_b$  aşağıdaki gibi hesaplanır.

$$R_b = \frac{R_1(R_2 + R_4)}{R_1 + R_2 + R_4}, \quad V_b = \frac{R_2 + R_4}{R_1 + R_2 + R_4} V_{CC} \quad (8)$$

Çıkış gerilimi,  $T_2$  kesimde olduğundan besleme gerilimine eşittir.

$$V_C = V_{C2} = V_{CC} \quad (9)$$

$T_1$ 'in kolektör akımı ( $I_{c1}$ ), baz akımını ihmal edilerek

$$I_{c1} \cong I_{e1} \cong \frac{V_b - V_{ce1}}{R_3 + R_b} \quad (10)$$

gibi yaklaşık olarak hesaplanabilir.  $T_1$  doyma bölgesinde bulunduğuna göre,  $V_{ce1}$  gerilimi 0.2 V yada 0.3 V civarındadır. Buradan  $V_{e1}$  gerilimi

$$V_{e1} \cong I_{e1} R_3 = \frac{R_3 (V_b - V_{ce1})}{R_3 + R_b} \quad (11)$$

olacaktır.  $T_1$ 'i doymada tutmak için gereken en küçük giriş gerilimi

$$V_1 = V_{e1} + V_{be1} \cong \frac{R_3 (V_b - V_{ce1})}{R_3 + R_b} + V_{be1} \quad (12)$$

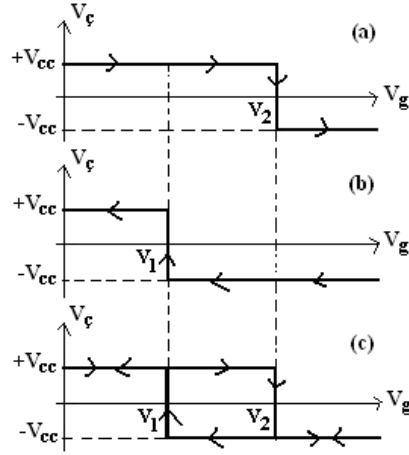
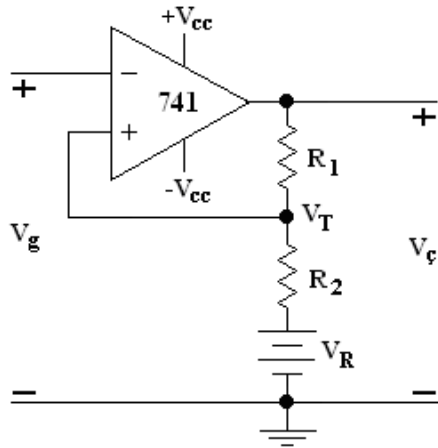
ile hesaplanır.  $V_g$ ,  $V_1$  geriliminden küçük olmadıkça  $T_1$  doymada ve  $T_2$  kesimde kalır.  $V_g < V_1$  olduğunda pozitif geribesleme olayı tekrar meydana gelir.  $T_1$  çok hızlı tıkanır,  $T_2$  iletime geçer ve STD çıkışı konum değiştirerek alçak seviye gider.

Yukarıda hesaplanan  $V_1$  ve  $V_2$  gerilimleri sırasıyla STD'nin eşik değerleri  $V_{T-}$  ve  $V_{T+}$ 'ye karşılık gelir.  $C$  elemanı anahtarlama olayında hız artırıcı bir kapasite işlevi görerek eşikler arası geçişi hızlandırır.  $T_2$  genellikle aktif bölgede çalıştırıldığından anahtarlama olayı daha hızlı gerçekleşir.  $T_2$  transistörünü aktif bölgede seçersek  $T_2$  daha hızlı kesime dolayısıyla  $T_1$  daha hızlı doymaya gidecektir.  $T_1$ 'in baz akımını sınırlamak için  $T_1$  transistörünün bazına küçük değerli seri bir  $R_g$  direnci bağlayabiliriz.

Uygulamada genellikle  $V_e > 1V$  ve  $(V_2 - V_1) > 0.5V$  olması istenir.  $(V_2 - V_1)$ 'in büyük olması pozitif geribeslemeyi artırır.

### 3. İşlemsel Yükselteçli Schmitt Tetikleyicisi

Şekil 10'da aktif eleman olarak işlemsel yükselteç kullanan diğer bir STD verilmiştir. Burada  $R_1$  ve  $R_2$  dirençleri vasıtasıyla pozitif geribesleme uygulanır. Kuramsal olarak çevrim kazancı  $(-GK) = 1$  olursa geribesleme kazancı  $K_{vf} = K / 1 + GK$  sonsuz olur. Bu ideal durumda çıkışın bir konumdan diğer konuma geçişi keskin olur. Yani sıfır yükselme zamanlı darbe oluşur ve STD histerisiz etkisi görülmez. Eğer  $-GK > 1$  seçilirse çıkışın bir konumdan diğer konuma geçişi süresizlik gösterecek ve alt üst sıçrama noktasının gerilimleri arasında bir fark olacaktır. Uygulamada genellikle  $-GK > 1$  seçilir.



**Şekil 10.** İşlemsel yükselteçli STD. **Şekil 11.** İşlemsel yükselteçli STD'nin geçiş özeğrisi (a)  $V_g$  artarken, (b)  $V_g$  azalırken, (c) Toplam geçiş özeğrisi

Bu devrede işlemsel yükselteç karıştırıcı olarak görev yapmaktadır.  $V_g < V_1$  olduğunu kabul edelim.  $V_ç \cong V_{cc}$  olacaktır.  $V_T$  gerilimi süperpozisyon teoremi kullanılarak Şekil 10'daki devreden hesaplanabilir.

$V_g$ 'nin artmakta olduğunu varsayalım.  $V_g = V_{T+} = V_2$  oluncaya kadar çıkış  $V_{cc}$  geriliminde kalacaktır.  $V_g = V_{T-} = V_1$  olduğunda pozitif geribeslemeden dolayı çıkış  $-V_{cc}$  değerini alacaktır ve  $V_g > V_1$  olduğu sürece bu değerde kalacaktır.

$$V_{T+} = V_2 = \frac{V_ç - V_R}{R_1 + R_2} R_2 + V_R = \frac{R_2}{R_1 + R_2} V_ç + \frac{R_1}{R_1 + R_2} V_R$$

$V_g$ 'nin şimdi azalmakta olduğunu varsayalım.  $V_g = V_{T-} = V_1$  olduğu zaman Şekil 11'de görüldüğü gibi çıkış  $V_ç$  gerilimine ulaşır.

$$V_{T-} = V_1 = \frac{R_1}{R_1 + R_2} V_R - \frac{R_2}{R_1 + R_2} V_ç$$

Histerisiz gerilimi ise

$$V_H = V_2 - V_1 = \frac{2R_2 V_ç}{R_1 + R_2}$$

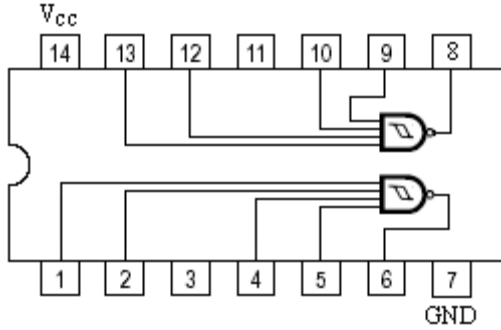
olacaktır.

## 4. TTL Schmitt Tetikleyicisi

### 4.1. 7413 dual 4-input NAND Schmitt Trigger

İki tane dört girişli NAND Schmitt Tetikleyicisi içerir. Bunlar yavaş değişen işaretleri keskin kenarlı işaretlere dönüştürürler. Ayrıca bilinen NAND kapılarına göre gürültüye karşı

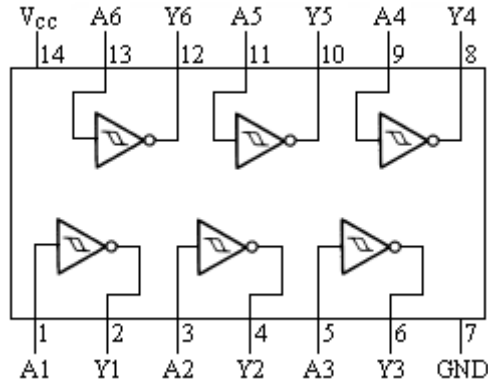
daha az duyarlıdır. Her bir kapı, yavaş giriş işaretlerinin hızını artırmak, pozitif ve negatif gidişli işaretler için farklı giriş eşik gerilimleri sağlamak amacıyla pozitif geribesleme için kullanılır. Histerisiz gerilimleri 800 mV civarındadır. Şekil 12’de 7413’ün bacak bağlantısı ve geçiş özgeğrisi verilmiştir.



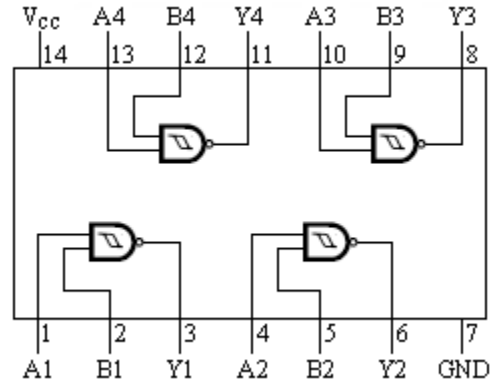
Şekil 12. 7413 bacak bağlantısı

#### 4.2. 7414 ve 74132

Bu STD’ler uygulamada 7413 ile aynıdır. 7414 entegresi 6 tane Schmitt tetikleme invertör’ünden oluşur. 74132 ise iki girişli dört NAND STD’den oluşmuştur. Histerisiz gerilimleri 830 mV civarındadır. Şekil 13’te 7414 ve 74132’nin bacak bağlantıları verilmiştir.



Şekil 13. a) 7414’ün bacak bağlantısı



b) 74132’nin bacak bağlantısı

### 5. Deney Hazırlığı

1. STD’lerin farklı gerçeklemelerini ve uygulama alanlarını araştırınız.
2. Histerisiz (hysteresis) kavramını ve türlerini (elektriksel, manyetik vb.) araştırınız.
3. Şekil 3’teki STD’nin içerdiği elemanlar için örnek değerler belirleyiniz.
4. C kondansatörünün STD’deki konum değişikliklerini nasıl hızlandırdığını öğreniniz.
5. Şekil 10’daki işlemsel yükseltecin diğer uygulamalarını (türev, tümlev vb.) araştırınız.

### 6. Deney Tasarımı ve Uygulaması

1. Şekil 3’teki STD’nin çalışmasını, girişine bir sinüzoidal işaret uygulandığını varsayarak inceleyiniz.

2.  $T_1$ 'in ilettime geçmesiyle  $V_{be2} < 0.7V$  olacağını ve dolayısıyla  $T_2$ 'nin kesime gideceğini çevre denklemleri yardımıyla kanıtlayınız.
3.  $V_1$  ve  $V_2$  değerlerinin farklı olmasını hangi devre elemanlarının sağladığını açıklayınız.
4.  $V_{T-} = V_1 = 5V$  ve  $V_{T+} = V_2 = 15V$  olacak şekilde transistorlu bir STD tasarlayınız.
5.  $C$ 'nin değeri seçimini hangi devre elemanlarının etkileyeceğini belirleyiniz.
6. Şekil 3'teki devrede  $R_1 = 5K$ ,  $R_2 = 27K$ ,  $R_3 = 2K$ ,  $R_4 = 25K$ ,  $R_5 = 14K$  ve  $C = 10pF$  olduğuna göre  $V_1$  ve  $V_2$  gerilimlerini hesaplayınız ( $h_{fe2} = 150$  alınınız).
7.  $V_{C1}$  ve  $V_{C2}$  değerlerini hesaplayarak,  $V_g = 20\sin wt$  giriş işaretine göre  $V_C$ 'nin değişimini çiziniz.
8.  $f = 50$  Hz frekanslı giriş işareti için transistorların bir periyot boyunca ne kadar süre iletimde kaldıklarını hesaplayınız.
9.  $T_2$  transistoru iletimde iken baz akımını göz ardı ederek,  $C$ 'de oluşacak en yüksek potansiyel farkını ve bunun için gereken zamanı bulunuz.
10. Şekil 10'daki devreyi  $R_1 = R_2 = 10K$ ,  $V_R = 5V$ ,  $V_{CC} = 15V$  değerleri ile kurunuz ve çalışmasını inceleyiniz.

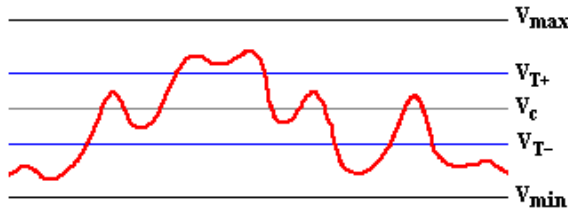


**Şekil 14.** UA741CN ve  $\mu A741C$  Op-Amp entegrelerinin bacak bağlantıları

11. Devre girişine  $V_g = 20\sin wt$  uygulayarak çıkış işaretini osiloskop üzerinde gözlemleyiniz.
12. Çıkış işaretinin zaman ve genlik değerlerini ölçünüz.
13. Devreyi çözümlyerek  $V_1$  ve  $V_2$  değerlerini hesaplayınız ve çıkış işareti üzerindeki ölçümlerinizle karşılaştırınız.
14.  $V_R$  sabit geriliminin değişik değerleri için çıkış işaretini gözlemleyiniz.

## 7. Deney Soruları

1. Bir gürültülü iletişim kanalına ait Şekil 15'teki işaret; (a)  $V_C$ 'ye göre seviye algılayan bir devre ve (b)  $V_{T-}$  ve  $V_{T+}$  eşiklerine göre seviye algılayan bir STD ile sayısallaştırılırsa hangi işaretler elde edilir?



**Şekil 15:** Bir gürültülü iletişim kanalındaki sinyal



2. Yüksek kapasiteli bir  $C$  kondansatörü Şekil 3'teki STD'nin çalışmasını nasıl etkiler?
3. Şekil 3'teki  $C$  kondansatöründe oluşacak potansiyel farkının zamana bağlı değişimini ve en yüksek değerini STD'nin elemanları cinsinden hesaplayınız.
4. Şekil 3'teki devrede  $R_1$  ile  $R_3$  arasındaki ilişkiyi belirleyiniz.
5. Şekil 3'teki STD, bütün dirençler aynı değerde ve transistörler özdeş seçildiğinde nasıl davranır?
6. Şekil 9'da  $I_{c1}$  hesaplanırken  $T_1$ 'in akım kazancı olan  $h_{fe1}$  parametresi niçin kullanılmamıştır?
7.  $V_{T-} = V_1 = -2\text{ V}$  ve  $V_{T+} = V_2 = 12\text{ V}$  olduğu işlemsel yükselteçli bir STD tasarlayınız.
8. Şekil 10'daki devrede  $V_R$  sabit gerilim kaynağı yerine bir  $C$  kondansatörü bağlandığında,  $V_g$  sinüzoidal işaretine karşılık nasıl bir  $V_T$  işareti elde edilir?

## 8. Deney Raporu

1. STD'lerin çalışmasını ve uygulama alanlarını kısaca anlatınız.
2. Deney esnasındaki STD uygulamalarınızı anlatınız ve sonuçlarını yorumlayınız.
3. Transistörlü ve işlemsel yükselteçli STD'leri karşılaştırınız.
4. Deney sorularını cevaplandırınız.